

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

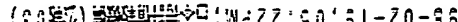
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.



⑫ 公開特許公報(A) 平2-87531

⑩ Int.Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月28日

H 01 L 21/336
21/28
29/784

3 0 1 S 7738-5F

8422-5F H 01 L 29/78 3 0 1 P
審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭63-238388

⑰ 出 願 昭63(1988)9月22日

⑱ 発 明 者 大 西 茂 夫 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 発 明 者 崎 山 恵 三 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑳ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉑ 代 理 人 弁理士 野河 信太郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. ソース・ドレイン部および酸化シリコン膜

を介してポリシリコンからなるゲート部が配設されたシリコン基板上に高融点金属のコバルト(Co)を積層し、熱処理によりソース・ドレイン部およびゲート部をシリサイド化してソース・ドレイン部の接合深さよりも実質的に小さな膜厚を有するコバルトシリサイド膜(CoSi₃膜)を形成し、その後選択エッチングによりゲート部のサイドウォール部分の未反応Coを除去し、さらにソース・ドレイン部、ゲート部上にCoSi₃膜を介して選択成長により高融点金属のWを積層して熱的に安定な低抵抗ゲート部、ソース・ドレイン部を形成することよりなる半導体装置の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

この発明は半導体装置の製造方法に関し、更に

詳しくはMOS型デバイスの微細化にともないトランジスタの配線部を高融点金属を用いて低抵抗化して低抵抗ゲート部、ソース・ドレイン部を作成するための方法に関する。

(ロ) 従来の技術

従来のこの種方法としては、(i)Co、Ti等の高融点金属のシリサイド膜を形成したものと、(ii)Wを用いてそれを選択成長法によってソース・ドレイン部、ゲート部へ張り付けるようにしたものがある。

前者の方法を第4図に示す。

第4図において、Si基板21上にSiO₂膜22を介してn⁺-polySiからなるゲート電極23を形成し〔第4図(a)参照〕、Si基板21上にAs⁺の注入によりソース・ドレイン24を形成する〔第4図(b)参照〕。次に、基板21上にCo(あるいはTi)25を積層し〔第4図(c)参照〕、その後、熱処理をおこなってゲート電極23、ソース・ドレイン24をシリサイド化してCoSi₃(あるいはTiSi₃)からなるシリサイド

膜28を形成するとともに、その後の選択エッチングによりサイドウォール部27の未反応Coを除去して配線部を形成する〔第4図(d)参照〕。

このようにしてCo(あるいはTi)のシリサイド化によりシリサイド構造のトランジスタを作成してゲート電極23、ソース・ドレイン24の低抵抗化が実現できる。

これに対して後者の方法では、第3図(a)に示すように、ゲート電極23を作成し、ソース・ドレイン24を作成〔第3図(b)参照〕した後、CVD法によりゲート電極23、ソース・ドレイン24上に選択的にW膜28を堆積する〔第3図(c)参照〕ものである。

(ハ) 発明が解決しようとする課題

しかし前者の方法では、デバイスの高速化を実現するのにシート抵抗が $1\Omega/\square$ 以下にする必要があるが、 CoSi_2 (あるいは TiSi_2 等)の低抵抗シリサイド(比抵抗…… $15\mu\Omega\cdot\text{cm}$)を用いても、1500~2000Å以上のシリサイド膜厚が必要になる。サブミクロンデバイスに於いては、ソース・ドレ

を有するコバルトシリサイド膜(CoSi_2 膜)を形成し、その後選択エッチングによりゲート部のサイドウォール部分の未反応Coを除去し、さらにソース・ドレイン部、ゲート部上に CoSi_2 膜を介して選択成長により高融点金属のWを堆積して熱的に安定な低抵抗ゲート部、ソース・ドレイン部を形成することよりなる半導体装置の製造方法である。

すなわち、この発明は、Metal/Metal Silicide/Siの三層構造を有するものであるが、一般に高融点金属のシリサイド膜中はSiが主な拡散種になる為、熱処理を行うと上層部のメタルがシリサイド化される。

しかし CoSi_2 の場合、Coが主な拡散種であり、Siは拡散しにくい。それ故Coよりシリサイド化しにくい金属であるWを上層部に持ってくると熱処理を行ってもWのシリサイド化が防止することが期待できる。

この発明は、ソース・ドレイン形成後にシリサイド化反応により所定膜厚(例えば、200~300Å)

インの接合深さが0.15~0.2 μm 程度になる為、シリサイド化を行うことにより接合層のリーク電流が問題となる。

一方後者の方法では、選択成長法の問題点として、 SiO_2/Si 界面にエンクローチメント29が入る〔第2図参照〕可能性が大きく、接合リークが生じる。さらに、層間絶縁膜堆積後に900~1000℃程度の熱処理を行い、平坦化を行う必要があるが、この時W膜28のシリサイド化反応が生じ特性が不安定になる。

以上のことより、従来技術では、自己整合的にゲート部、ソース・ドレイン部の低抵抗化を行うことが困難になる。

(ニ) 課題を解決するための手段

この発明は、ソース・ドレイン部および酸化シリコン膜を介してポリシリコンからなるゲート部が配設されたシリコン基板上に高融点金属のコバルト(Co)を堆積し、熱処理によりソース・ドレイン部およびゲート部をシリサイド化してソース・ドレイン部の接合深さよりも実質的に小さな膜厚

の CoSi_2 層を形成し、その上から選択成長によりWを堆積するようにしたものである。

この発明において、ソース・ドレイン部の接合深さよりも実質的に小さな膜厚を有するコバルトのシリサイド膜を形成するとは、例えば、ソース・ドレイン部の接合深さが0.15~0.2 μm 程度では、シリサイド化しても接合層にリーク電流が発生しないように設定された200~300Åの CoSi_2 膜を形成することを意味する。

(ホ) 作用

ゲート部およびソース・ドレイン部の形成後にこれら各部をシリサイド化して所定膜厚の CoSi_2 膜を形成し、しかも上記各部上に CoSi_2 膜を介してWを堆積するようにしたこと、 CoSi_2 膜がソース・ドレイン部の接合深さより小さいためにSi基板への食い込み量を減少できるとともに、 CoSi_2 によりWの選択成長後、Si基板の界面にエンクローチメントが入るのを防止でき、これにより接合層にリーク電流が発生するおそれなくなる。

また、Wを選択成長した後、熱処理をおこなってもCoSi₂層がバリア層としてWのシリサイド化を防止するように働くことから、熱的に安定な低抵抗ゲート部およびソース・ドレイン部を作成できる。

(へ) 実施例

以下図に示す実施例にもとづいてこの発明を詳述する。なお、これによってこの発明は限定を受けるものではない。

第1図において、本方法によって作成されたMOS型デバイスは、第1図(c)に示すように、配線部が上から順次にW膜7/CoSi₂膜6の二層構造を有する金属/金属シリサイド/シリコンの三層構造から主としてなる。

以下、製造方法について説明する。

まず、Si基板1上にSiO₂膜2を介してn⁺-Poly Siからなるゲート部3を形成するとともに、Si基板1上にA₂S₃を注入してn⁺のソース・ドレイン部4を形成する[第1図(a)参照]。次に、基板1上にCoを堆積し、熱処理によりゲート電

処理をおこなってもWのシリサイド化反応が生じ
るおそれはなく、特性が不安定になるのを防止で
きる。

このように、Coのシリサイド化によりシリサイド構造のトランジスターを作成し、さらにソース・ドレイン部、ゲート部に選択成長によりWを堆積し、熱的に安定な低抵抗ゲート、ソース・ドレイン部を作成できる。

(ト) 発明の効果

この発明によれば、ゲート部およびソース・ドレイン部の形成後にこれら各部をシリサイド化して所定膜厚のCoSi₂膜を形成し、しかも上記各部上にCoSi₂膜を介してWを堆積するようにしたこと、CoSi₂膜がソース・ドレイン部の接合部より小さいためにSi基板への食い込み量を減少できるとともにCoSi₂膜によりW膜の選択成長後、Si基板の界面にエンクロージメントが入るのを防止でき、これにより接合部にリーク電流が発生するおそれなくなる。

また、W膜を選択成長した後、熱処理をおこな

部3およびソース・ドレイン部4をシリサイド化するとともに、その後の選択エッチングによりゲート部3におけるサイドウォール部分5の未反応Coを除去し、100~300ÅのCoSi₂膜6を形成する[第1図(c)参照]。ここで、ソース・ドレイン部4の接合部は0.15~0.2μm程度であり、従来では、CoSi₂のシリサイド膜のみで配線部を形成したので膜厚として1500~2000Å以上のものが必要となり、シリサイド化を行うことにより接合部におけるリーク電流の発生が問題となっていた訳であるが、これを解消できる。

さらに、CoSi₂膜6上に、選択成長法によりWを堆積し、1000~2000Åの膜厚を有するW膜7を形成する。

最後に、層間絶縁膜を堆積した後に、これを900~1000℃程度の熱処理をおこなって平坦化する。この際、CoSi₂においてはCoが主な拡散源であり、Siは拡散しにくく、かつWはCoよりシリサイド化しにくい金属であることから、W膜7はCoSi₂膜6の直上に配設されており、上記熱

処理後もCoSi₂層がバリア層としてW膜のシリサイド化を防止するように働くことから、熱的に安定な低抵抗ゲート部およびソース・ドレイン部を作成できる効果がある。

4. 図面の簡単な説明

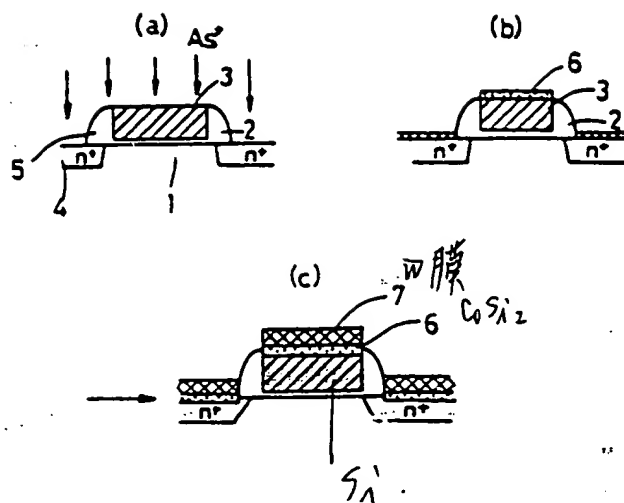
第1図はこの発明の一実施例を説明するための製造工程説明図、第2図は従来例を示す要部構成説明図、第3図および第4図はそれぞれ従来例を説明するための製造工程説明図である。

- 1……Si基板、 2……酸化シリコン膜、
- 3……ゲート電極、 4……ソース・ドレイン部、
- 5……サイドウォール部分、
- 6……CoSi₂膜、 7……W膜。

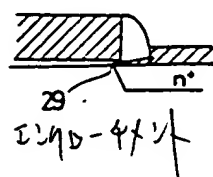
代理人 弁理士 野 河 信太郎



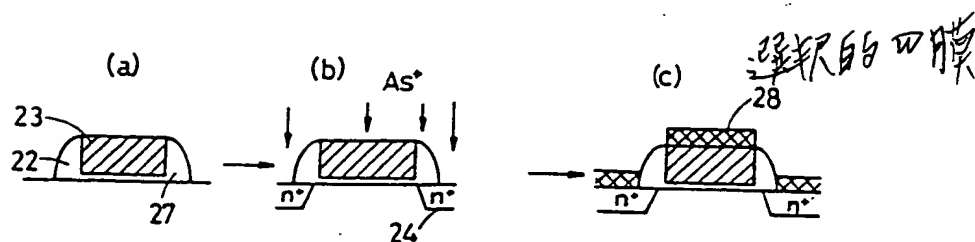
第 1 図



第 2 図



第 3 図



第 4 図

